

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-164983

(43)Date of publication of application : 18.12.1981

(51)Int.Cl.

G04C 3/02  
G10K 10/00

(21)Application number : 55-068448

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 23.05.1980

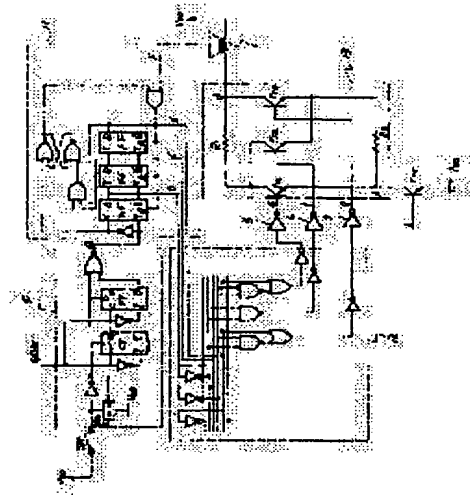
(72)Inventor : IKEHATA YUKIO

## (54) ELECTRONIC WATCH WITH ALARM

### (57)Abstract:

**PURPOSE:** To make the stepwise volume adjustment of alarm sound possible without increasing the size of an electronic watch by selecting the combination of  $\geq 2$  pieces resistances by way of transistors.

**CONSTITUTION:** When the output of a hexad counter 11 provided with FFs and the like changes in accordance with the operation times of a switch SW and if, for example, the output of the counter is 1 and the signals bWd are H, the control outputs (e), (f) via a decoder 12 and inverters 5W7 go H, and (g) goes L, then the transistor TR2 of a resistance changeover circuit 13 goes on and the TR1, TR3 go off. Thereby, two phases of resistances R1, R2 of the circuit 13 are selected and the series resistance value to a speaker 1 is determined. In a similar manner, the combination of the resistances R1, R2 is selected in accordance with the operation times of the switch SW, and alarm sound volume is adjusted stepwise. Hence, the sound volume is easily controlled even if it is the envelope alarm sound of varied duty ratios without using any volume control and without increasing the size of the watch.



⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—164983

⑤ Int. Cl.<sup>3</sup>  
G 04 C 3/02  
G 10 K 10/00

識別記号

庁内整理番号  
7809—2F  
6521—5D

⑬ 公開 昭和56年(1981)12月18日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ アラーム付電子時計

⑯ 特 願 昭55—68448  
⑯ 出 願 昭55(1980)5月23日  
⑯ 発 明 者 池端幸夫

東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内

⑰ 出 願 人 株式会社第二精工舎  
東京都江東区亀戸6丁目31番1  
号

⑱ 代 理 人 弁理士 最上務

明 細 書

発明の名称 アラーム付電子時計

特許請求の範囲

トランジスタ等によつて構成された2個以上のスイッチと2個以上の抵抗とによつて構成された抵抗切換回路をスピーカ等の発音部材と直列に接続したことを特徴とする電子時計。

発明の詳細な説明

従来、アラーム音の音の大きさを調節する方法として、可変抵抗を挿入する、スピーカ駆動パルスのデューティ比を切り替える等が一般的である。しかし、可変抵抗を挿入する方法は電時計等では可能であるが腕時計等においては可変抵抗を調節するつまみを設けることがスペース上、デザイン上むずかしいという欠点があつた。またデューティ比を切り替える方法は、エンベロープ付の音を出す場合エンベロープを付けること自体のためにデューティ比を変えており、アラーム音全体の音の

大きさをデューティ比で変えることは事実上できないという欠点があつた。

本発明は、これらの欠点を取り除き、腕時計においてもまたエンベロープ付のアラーム音を用いた時計においても容易に音量を数段階にわけて調節できるようにすることを目的としたものである。

以下、図面により本発明の実施例を説明する。第1図は実施例の簡単なブロック図であり、第2図は第1図の詳細な回路例である。第3図、第4図は第2図の動作を説明するための主要な信号線のタイミングチャートである。

第1図においてスピーカ1に直列に抵抗切換回路3が接続されている。2は制御回路でありスイッチSの情報を制御信号に変えて抵抗切換回路3に伝えこれを制御する。4はアラーム一致検出回路であり、ここには図示しないアラーム時刻セットカウンタと時、分、秒等のカウンタの内容の一致を検出し所定のアラーム音を出すべくトランジスタT<sub>1</sub>を制御する回路である。

第2図において、抵抗切換回路13は抵抗R<sub>1</sub>と抵

抗  $R_1$  とスイッチとして動作する3個のトランジスタ  $T_{P1}$ 、 $T_{P2}$ 、 $T_{P3}$  によつて構成されている。

制御回路2は、チャタリング防止および波形整形の回路10と6進カウンタ11とデコーダ12とドライバ5、6、7とで構成されている。

スイッチ8Wが1回ONされると、第3図に示すようなパルスが信号線4に出力される。

スイッチ8Wが何回かONされると、それによつて6進カウンタ11の出力  $b$ 、 $c$ 、 $d$  は第4図に示すように変化する。信号ラインEは6進カウンタ11を8進カウンタ11の外部からリセットするためのものである。8進カウンタ11の出力  $b$ 、 $c$ 、 $d$  はデコーダ12、ドライバ5、6、7を経て抵抗切替回路13を制御する制御信号  $e$ 、 $f$ 、 $g$  に変換される。制御信号  $e$ 、 $f$ 、 $g$  もまた第4図に示してある。

6進カウンタ11が“0”の状態のとき、即ち  $b$ 、 $c$ 、 $d$  がそれぞれL、L、Lのとき、 $e$ 、 $f$ 、 $g$  はそれぞれL、L、Lでありトランジスタ  $T_{P1}$ 、

- 3 -

$T_{P2}$ 、 $T_{P3}$  はすべてOFF状態となる。従つて抵抗切替回路の抵抗値すなわちスピーカに直列に接続される抵抗値(A、B間の抵抗値)は無限大となる。

つぎに6進カウンタ11が“1”の状態のとき、 $b$ 、 $c$ 、 $d$  はそれぞれH、L、Lであるから、 $e$ 、 $f$ 、 $g$  はそれぞれL、H、Lとなり、トランジスタ  $T_{P1}$  がON、トランジスタ  $T_{P2}$ 、 $T_{P3}$  がOFFとなる。

したがつてA、B間の抵抗値は  $R_1 + R_2$  となる。以下同様に第4図の下段に示すようにスイッチがONされるたびに、A、B間の抵抗値は順次  $R_1 \rightarrow R_2 \rightarrow \frac{R_1 R_2}{R_1 + R_2} \rightarrow 0 \rightarrow \infty$  というように変化していく。したがつて抵抗  $R_1$ 、 $R_2$  の抵抗値を適当に選べばスイッチ操作によつて5通りの音量と鳴らないという状態のいずれかを選択できるわけである。

このように可変抵抗を操作するためのツマミを用いずに簡単な押しボタン型スイッチ等で何通りかの音量を選択できるので、わずかなスペースです

- 4 -

み腕時計にも音量調節方法として適している。また音にエンベロープを付ける場合はトランジスタ  $T_{P1}$  の制御信号  $e$  のデューティ比を変化させることでエンベロープを付けることが出来るので、エンベロープ付のアラーム音を出す時計の音量調節方法にも適している。

なおここでは実施例は省略するが抵抗切替回路13の抵抗とスイッチとしてのトランジスタの数を増やすことで音量の調節段数を本実施例よりも増やすことができるのはもちろんのことである。

以上のように、本発明によれば

①回路はI/O内に納められるのでスペースが少なくてすむ。

②小さな簡単なスイッチでよい。

③エンベロープ付アラーム音の音量調節にも適用できる。

という効果がある。

図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図

は第1図の詳細な回路例であり、第3図、第4図は第2図の主要な信号のタイミングチャートである。

- |                         |                          |
|-------------------------|--------------------------|
| 1 ... スピーカ              | 2 ... 制御回路               |
| 3 ... 抵抗切替回路            | 4 ... アラーム一致検出回路         |
| 5 ... ドライバ              | 6 ... ドライバ               |
| 7 ... ドライバ              | 8 ... ドライバ               |
| 9 ... チャタリング防止および波形整形回路 | 10 ... チャタリング防止および波形整形回路 |
| 11 ... 6進カウンタ           | 12 ... デコーダ              |
| 13 ... 抵抗切替回路           |                          |
| $R_1$ ... 抵抗            | $R_2$ ... 抵抗             |
| $T_{P1}$ ... トランジスタ     | $T_{P2}$ ... トランジスタ      |
| $T_{P3}$ ... トランジスタ     | $T_{P4}$ ... トランジスタ      |

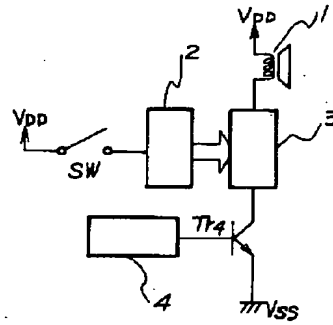
以上

出願人 株式会社第二精工舎  
代理人 弁理士 最上 誠

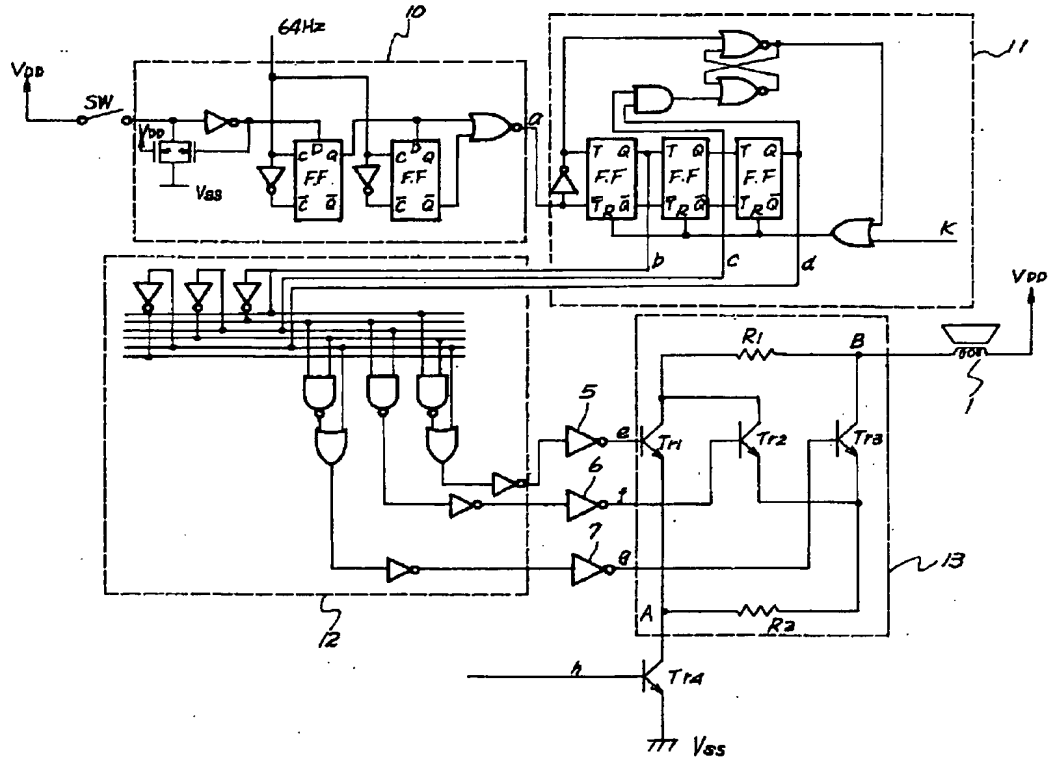
- 5 -

- 6 -

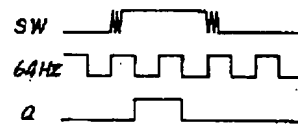
第 1 図



第 2 図



第 3 図



第 4 図

